

DRIVING METHOD OF DISPLAY PANEL

Publication number: JP2002372947

Publication date: 2002-12-26

Inventor: SUZUKI MASAHIRO

Applicant: PIONEER ELECTRONIC CORP; SHIZUOKA PIONEER KK

Also published as:

EP1267321 (A2)

US6982732 (B2)

US2003112256 (A1)

EP1267321 (A3)

Classification:

- **International:** H04N5/66; G09G3/20; G09G3/28; G09G3/288;
H04N5/66; G09G3/20; G09G3/28; (IPC1-7): G09G3/28;
G09G3/20; H04N5/66

- **European:** G09G3/28T; G09G3/20G6F; G09G3/20G8S2;
G09G3/20G10; G09G3/20G20; G09G3/288C2R;
G09G3/288C4D; G09G3/288C4S; G09G3/288C6F

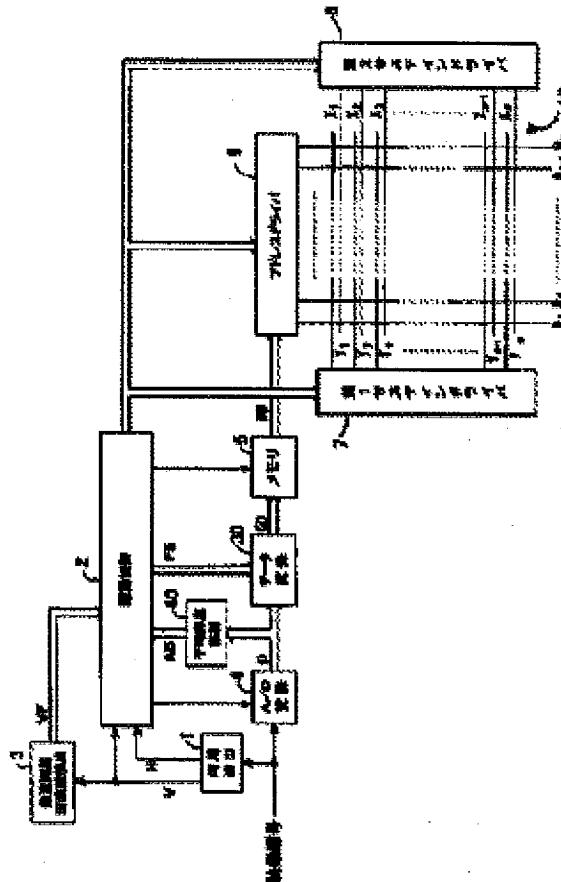
Application number: JP20010181109 20010615

Priority number(s): JP20010181109 20010615

[Report a data error here](#)

Abstract of JP2002372947

PROBLEM TO BE SOLVED: To provide a driving method of a display panel in which such an image display that spurious profiles are suppressed can be performed without generating flickering even though the vertical synchronization frequency of input video singles is low. **SOLUTION:** When video signals having a low average luminance level are inputted or video signals having a relatively high vertical synchronization frequency are inputted, light emission is made for light emitting elements carrying pixels in continuous subfields for the equivalent portion corresponding to a luminance level indicated by the input video signals within one field. On the other hand, when video signals having a high average luminance level and a relatively low vertical synchronization frequency are inputted, light emission is made for the light emitting elements in continuous subfields for the equivalent portion corresponding to the luminance level indicated by the video signals in each of first half and second half of one field.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-372947

(P2002-372947A)

(43)公開日 平成14年12月26日(2002.12.26)

(51)Int.Cl.
G 09 G 3/28
3/20 6 4 1
H 04 N 5/66 1 0 1

F I
G 09 G 3/20 6 4 1 E 5 C 0 5 8
H 04 N 5/66 6 4 1 R 5 C 0 8 0
G 09 G 3/28 1 0 1 B
K

審査請求 未請求 請求項の数6 O L (全 23 頁)

(21)出願番号 特願2001-181109(P2001-181109)

(22)出願日 平成13年6月15日(2001.6.15)

(71)出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(71)出願人 398050283

静岡バイオニア株式会社

静岡県袋井市鶯巣字西ノ谷15の1

(72)発明者 鈴木 雅博

山梨県中巨摩郡田富町西花輪2680番地 静岡バイオニア株式会社甲府事業所内

(74)代理人 100079119

弁理士 藤村 元彦

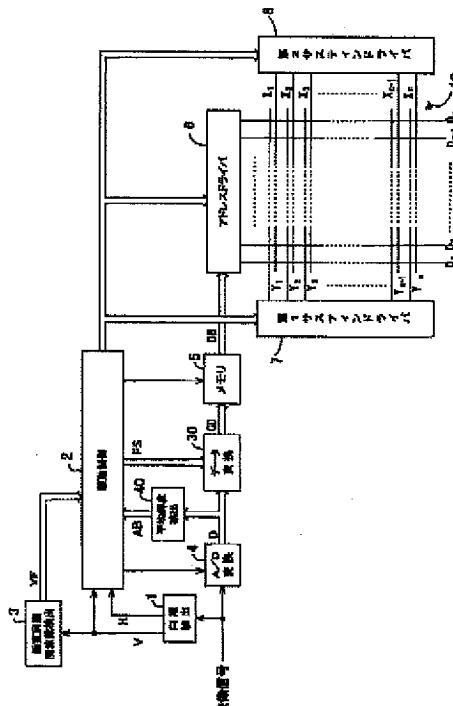
最終頁に続く

(54)【発明の名称】ディスプレイパネルの駆動方法

(57)【要約】

【課題】入力映像信号の垂直同期周波数が低くてもフリッカを生じさせることなく偽輪郭を抑制した画像表示が可能なディスプレイパネルの駆動方法を提供することを目的とする。

【解決手段】平均輝度レベルの低い映像信号が入力された場合、又は比較的高い垂直同期周波数を有する映像信号が入力された場合には、1フィールド内において入力映像信号によって表される輝度レベルに応じた分だけ連続したサブフィールド各々で画素を担う発光素子を発光せしめる。一方、平均輝度レベルが高く、かつその垂直同期周波数が比較的低い映像信号が入力された場合には、1フィールドの前半及び後半の各々において、この映像信号によって表される輝度レベルに応じた分だけ連続したサブフィールド各々で発光素子を発光せしめる。



1

【特許請求の範囲】

【請求項1】複数の発光素子によって表示画面を形成するディスプレイパネルにおける前記発光素子の各々を、入力映像信号の1フィールド期間を構成するN個のサブフィールド各々で発光駆動するディスプレイパネルの駆動方法であって、

前記入力映像信号の垂直同期周波数の高低及び前記入力映像信号によって表される画像の平均輝度に応じて、前記入力映像信号によって表される輝度レベルに応じた分だけ前記1フィールド期間内において連続したn個(nは0～Nの整数)の前記サブフィールド各々で前記発光素子を発光せしめることにより第1階調～第(N+1)階調までのN+1段階で中間輝度表示を行う第1発光駆動シーケンスと、

前記1フィールド期間内の前半期間において前記入力映像信号によって表される輝度レベルに応じた分だけ連続した前記サブフィールド各々で前記発光素子を発光せしめてから前記1フィールド期間内の後半期間において前記入力映像信号によって表される輝度レベルに応じた分だけ連続した前記サブフィールド各々で前記発光素子を発光せしめることにより第1階調～第(N+1)階調までのN+1段階で中間輝度表示を行う第2発光駆動シーケンスと、の内のいずれか一方を実行することを特徴とするディスプレイパネルの駆動方法。

【請求項2】前記前半期間での発光開始時点と前記後半期間での発光開始時点との時間間隔が前記1フィールド期間の略1/2であることを特徴とする請求項1記載のディスプレイパネルの駆動方法。

【請求項3】前記入力映像信号の前記垂直同期周波数が所定周波数よりも高い、又は前記平均輝度が所定輝度よりも低輝度である場合には前記第1発光駆動シーケンスを実行する一方、前記垂直同期周波数が前記所定周波数よりも低くかつ前記平均輝度が前記所定輝度よりも高輝度である場合には前記第2発光駆動シーケンスを実行することを特徴とする請求項1記載のディスプレイパネルの駆動方法。

【請求項4】前記第2発光駆動シーケンスは、前記前半期間内における先頭の前記サブフィールドのみにおいて全ての前記発光素子を点灯状態に初期化する第1リセット行程と、前記入力映像信号に応じて前記前半期間内における1の前記サブフィールドにおいて前記発光素子各々を前記点灯状態及び消灯状態のいずれか一方に設定する第1アドレス行程と、前記前半期間内における前記サブフィールド各々において前記点灯状態にある前記発光素子のみを前記サブフィールドの重み付けに対応した回数だけ発光させる第1発光維持行程と、

前記後半期間内における先頭の前記サブフィールドのみにおいて全ての前記発光素子を点灯状態に初期化する第2リセット行程と、前記入力映像信号に応じて前記後半期間内における1の前記サブフィールドにおいて前記発

2

光素子各々を前記点灯状態及び消灯状態のいずれか一方に設定する第2アドレス行程と、前記後半期間内における前記サブフィールド各々において前記点灯状態にある前記発光素子のみを前記サブフィールドの重み付けに対応した回数だけ発光させる第2発光維持行程と、からなることを特徴とする請求項1記載のディスプレイパネルの駆動方法。

【請求項5】前記第2発光駆動シーケンスは、前記Nが偶数の場合には、

10 前記第1階調では前記サブフィールドのいずれにおいても前記発光素子を発光させず、第2階調では前記前半期間及び前記後半期間の一方における先頭の前記サブフィールドのみで前記発光素子を発光せしめ、第3階調では前記第2階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における先頭の前記サブフィールドのみで前記発光素子を発光せしめ、第4階調では前記第3階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における第2番目に配列された前記サブフィールド

20 で前記発光素子を発光せしめ、第N階調では第(N-1)階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における最後尾の前記サブフィールドで前記発光素子を発光せしめ、前記第(N+1)階調では第N階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における最後尾の前記サブフィールドで前記発光素子を発光せしめる一方、

前記Nが奇数の場合には、前記第1階調では前記サブフィールドのいずれにおいても前記発光素子を発光させず、前記第2階調では前記前半期間及び前記後半期間の一方における先頭の前記サブ

30 フィールドのみで前記発光素子を発光せしめ、前記第3階調では前記第2階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における先頭の前記サブフィールドのみで前記発光素子を発光せしめ、第4階調では前記第3階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における第2番目に配列された前記サブフィールドで前記発光素子を発光せしめ、第N階調では第

40 (N-1)階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における最後尾の前記サブフィールドで前記発光素子を発光せしめ、前記第(N+1)階調では第N階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における最後尾の前記サブフィールドで前記発光素子を発光せしめることを特徴とする請求項1記載のディスプレイパネルの駆動方法。

【請求項6】前記第2発光駆動シーケンスは、前記Nが偶数の場合には、

前記第1階調では前記サブフィールドのいずれにおいても

も前記発光素子を発光させず、第2階調では前記前半期間及び前記後半期間の一方における最後尾の前記サブフィールドのみで前記発光素子を発光せしめ、第3階調では前記第2階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の他方における最後尾の前記サブフィールドのみで前記発光素子を発光せしめ、第4階調では前記第3階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における最後尾から2番目に配列された前記サブフィールドで前記発光素子を発光せしめ、第N階調では第(N-1)階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における先頭の前記サブフィールドで前記発光素子を発光せしめ、前記第(N+1)階調では第N階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における先頭の前記サブフィールドで前記発光素子を発光せしめる一方、

前記Nが奇数の場合には、

前記第1階調では前記サブフィールドのいずれにおいても前記発光素子を発光させず、第2階調では前記前半期間及び前記後半期間の一方における最後尾の前記サブフィールドのみで前記発光素子を発光せしめ、第3階調では前記第2階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の他方における最後尾の前記サブフィールドのみで前記発光素子を発光せしめ、第4階調では前記第3階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における最後尾から2番目に配列された前記サブフィールドで前記発光素子を発光せしめ、第N階調では第(N-1)階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における先頭の前記サブフィールドで前記発光素子を発光せしめ、前記第(N+1)階調では第N階調で発光を実行するサブフィールドに加えて前記前半期間及び前記後半期間の内の方における先頭の前記サブフィールドで前記発光素子を発光せしめることを特徴とする請求項1記載のディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本発明は、発光及び非発光の2状態しかもたない発光素子が配列されてなるディスプレイパネルの駆動に関する。

【0002】

【従来の技術】近年、ディスプレイ装置の大画面化に伴い、奥行きの薄い表示デバイスが望まれている。交流放電型のプラズマディスプレイパネルは、薄型の表示デバイスの1つとして着目されている。図1は、かかるプラズマディスプレイパネルを搭載したプラズマディスプレイ装置の概略構成を示す図である。

【0003】図1において、プラズマディスプレイパネ

ルとしてのPDP10は、データ電極としてのm個の列電極D₁～D_mと、これら列電極各々と交叉して配列されている夫々n個の行電極X₁～X_n及び行電極Y₁～Y_nを備えている。尚、行電極は、X及びYの一対にて画面の1行分に対応した行電極を形成している。これら列電極Dと、行電極X及びYは、放電ガスが封入されている放電空間を挟んで互いに対向して配置された2つのガラス基板各々に形成されている。そして、各行電極対と列電極との交叉部に、各画素に対応した表示素子としての放電セルが形成される構造となっている。

【0004】ここで、放電セルは、放電現象を利用したものである為、"発光"及び"非発光"の2つの状態しかもたない。つまり、最低輝度(非発光状態)と、最高輝度(発光状態)の2階調分の輝度しか表現出来ないのである。そこで、駆動装置100は、このような放電セルがマトリクス状に配列されてなる上記PDP10に対して、入力映像信号に対応した中間調の輝度表示を実現させるべく、サブフィールド法を用いた階調駆動を実施する。

【0005】サブフィールド法では、1フィールドの表示期間を例えば図2に示されるが如き8個のサブフィールドSF1～SF8に分割する。これらサブフィールドSF1～SF8各々には、そのサブフィールド内において実行すべき発光の回数が割り当てられている。従って、入力映像信号に基づいて、発光を実施させるサブフィールドと、発光を実施させないサブフィールドとの組み合わせを変更すれば、1フィールドの表示期間内においてこの入力映像信号の輝度レベルに応じた回数の発光が為される。この際、かかる1フィールド表示期間内で実施された発光の総数に応じた中間輝度が視覚されるのである。

【0006】図3は、発光を実施させるサブフィールドと発光を実施させないサブフィールドとの組み合わせ方を示す発光駆動パターンの一例を示す図である。駆動装置100は、この図3に示される9種類の発光駆動パターンの中から、入力された映像信号に応じた1つを選択する。そして、この選択した発光駆動パターン中の白丸にて示されるサブフィールドのみにおいて図2中に記述されている回数だけ発光を実施させるべく、各種駆動パ

ルスをPDP10の列電極D、行電極X及びYに印加する。

【0007】図3に示される9種類の発光駆動パターンによれば、発光輝度比が、{0, 1, 7, 23, 47, 82, 128, 185, 255}なる9段階の中間輝度を有する画像表示を行うことが出来る。この際、図3に示される発光駆動パターンでは、1フィールド期間内の1サブフィールドにおいて一旦、放電セルを非発光状態にしたら、それ以降のサブフィールドでは発光を実施させないようにしている。つまり、白丸にて示されるが如き発光を実施するサブフィールドが連続している状態(以下、発光継続状態と称する)

と、消灯状態のサブフィールドが連続している状態(以下、消灯継続状態と称する)とが、1フィールド期間内において互いに反転するような発光駆動パターンを排除している。これにより、上記発光継続状態と、上記消灯継続状態とが互いに反転している2つの画像領域の境界上に生じる、いわゆる偽輪郭の発生を抑制しているのである。

【0008】ここで、図3に示されるが如き発光駆動パターンでは、上記発光継続状態及び上記消灯継続状態の切り換え周波数が、1フィールド表示期間を担う垂直同期周波数と同一となる。よって、垂直同期周波数が50[Hz]しかないPAL方式テレビジョン信号が入力映像信号として供給され、かつ、その映像信号によって表される輝度レベルが比較的高い場合にはフリッカが生じる恐れがある。

【0009】

【発明が解決しようとする課題】本発明は、かかる点に鑑みて為されたものであり、入力映像信号の垂直同期周波数が低くてもフリッカを生じさせることなく偽輪郭を抑制した画像表示が可能なディスプレイパネルの駆動方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明によるディスプレイパネルの駆動方法は、複数の発光素子によって表示画面を形成するディスプレイパネルにおける前記発光素子の各々を、入力映像信号の1フィールド期間を構成するN個のサブフィールド各自で発光駆動するディスプレイパネルの駆動方法であって、前記入力映像信号の垂直同期周波数の高低及び前記入力映像信号によって表される画像の平均輝度に応じて、前記入力映像信号によって表される輝度レベルに応じた分だけ前記1フィールド期間内において連続したn個(nは0～Nの整数)の前記サブフィールド各自で前記発光素子を発光せしめることにより第1階調～第(N+1)階調までのN+1段階で中間輝度表示を行う第1発光駆動シーケンスと、前記1フィールド期間内の前半期間において前記入力映像信号によって表される輝度レベルに応じた分だけ連続した前記サブフィールド各自で前記発光素子を発光せしめてから前記1フィールド期間内の後半期間において前記入力映像信号によって表される輝度レベルに応じた分だけ連続した前記サブフィールド各自で前記発光素子を発光せしめることにより第1階調～第(N+1)階調までのN+1段階で中間輝度表示を行う第2発光駆動シーケンスと、の内のいずれか一方を実行する。

【0011】

【発明の実施の形態】以下、本発明の実施例を図を参照しつつ説明する。図4は、本発明による駆動方法に従ってプラズマディスプレイパネルの駆動を行うプラズマディスプレイ装置の概略構成を示す図である。図4に示す如く、このプラズマディスプレイ装置は、プラズマディ

スプレイパネルとしてのPDP10と、下記の如き機能モジュールからなる駆動回路と、から構成される。図4に示すように、駆動回路は、同期検出回路1、駆動制御回路2、垂直同期周波数検出回路3、A/D変換器4、メモリ5、アドレスドライバ6、第1サスティンドライバ7、第2サスティンドライバ8、データ変換回路30、及び平均輝度検出回路40から構成される。

【0012】PDP10は、アドレス電極としてのm個の列電極D₁～D_mと、これら列電極各自と交叉して配列されている夫々n個の行電極X₁～X_n及び行電極Y₁～Y_nを備えている。この際、行電極X及び行電極Yの一対にて、PDP10における1行分に対応した行電極を形成している。これら列電極Dと、行電極X及びYは、放電ガスが封入されている放電空間を挟んで互いに対向して配置された2つのガラス基板各自に形成されている。そして、各行電極対と列電極との交叉部に、各画素に対応した表示素子としての放電セルが形成される構造となっている。

【0013】同期検出回路1は、入力映像信号中から垂直同期信号を検出した場合には垂直同期検出信号Vを発生してこれを駆動制御回路2及び垂直同期周波数検出回路3に夫々供給する。同期検出回路1は、更に、上記入力映像信号中から水平同期信号を検出した場合には水平同期検出信号Hを発生してこれを駆動制御回路2に供給する。垂直同期周波数検出回路3は、上記垂直同期検出信号Vの周期を測定することにより、上記入力映像信号における垂直同期周波数を求めその周波数値を示す垂直同期周波数信号VFを駆動制御回路2及びデータ変換回路30の各自に供給する。A/D変換器4は、駆動制御回路2から供給されるクロック信号に応じて、上記入力映像信号をサンプリングしてこれを画素毎の例えば8ビットの画素データDに変換し、これをデータ変換回路30及び平均輝度検出回路40に供給する。

【0014】平均輝度検出回路40は、A/D変換器4から順次供給される上記画素データDに基づいて入力映像信号の平均輝度レベルを求め、この平均輝度レベルを示す平均輝度信号ABを駆動制御回路2に供給する。データ変換回路30は、上記画素データDに多階調化処理を施し、これを、1フィールド期間内において各放電セルを個別に発光駆動させるべき画素駆動データGDに変換する。

【0015】図5は、かかるデータ変換回路30の内部構成を示す図である。図5において、第1データ変換回路32は、上記画素データDを図6に示されるが如き変換特性に基づいて(14×16)/255にしたものを作換画素データD₁として多階調化処理回路33に供給する。すなわち、第1データ変換回路32は、8ビットで0～255なる256階調分の輝度を表現し得る画素データDを、8ビットで0～224なる225階調分の輝度を表現し得る変換画素データD₁に変換するのであ

る。具体的には、第1データ変換回路32は、図6に示されるが如き変換特性に従った図7及び図8に示される変換テーブルに基づいて、上記画素データDを変換画素データD_nに変換する。尚、この変換特性は、画素データのビット数、後述する多階調化による圧縮ビット数、並びに表示階調数に応じて設定される。このように、後述する多階調化処理を実施する前に、第1データ変換回路32にて、表示階調数及び多階調化による圧縮ビット数を考慮した変換を行う。かかるデータ変換により、後述する多階調化処理での輝度飽和の発生及び表示階調がビット境界にない場合に生じる表示特性の平坦部の発生（すなわち、階調歪みの発生）を防止する。

【0016】図9は、多階調化処理を実施する多階調化処理回路33の内部構成を示す図である。図9に示されるように、多階調化処理回路33は、誤差拡散処理回路330及びディザ処理回路350から構成される。誤差拡散処理回路330におけるデータ分離回路331は、上記第1データ変換回路32から供給された8ビットの変換画素データD_n中の下位2ビット分を誤差データ、上位6ビット分を表示データとして分離する。加算器332は、かかる誤差データと、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算して得た加算値を遅延回路336に供給する。遅延回路336は、加算器332から供給された加算値を、画素データにおける1クロック周期分の時間（以下、遅延時間Dと称する）だけ遅らせた信号を遅延加算信号A_{D1}として上記係数乗算器335及び遅延回路337に夫々供給する。係数乗算器335は、上記遅延加算信号A_{D1}に所定係数値K₁（例えば、“7/16”）を乗算して得られた乗算結果を上記加算器332に供給する。遅延回路337は、上記遅延加算信号A_{D1}を更に（1水平走査期間－上記遅延時間D×4）なる時間だけ遅延させたものを遅延加算信号A_{D2}として遅延回路338に供給する。遅延回路338は、かかる遅延加算信号A_{D2}を更に上記遅延時間D×2なる時間分だけ遅延させたものを遅延加算信号A_{D3}として係数乗算器339に供給する。又、遅延回路338は、かかる遅延加算信号A_{D2}を更に上記遅延時間D×2なる時間分だけ遅延させたものを遅延加算信号A_{D4}として係数乗算器340に供給する。更に、遅延回路338は、かかる遅延加算信号A_{D2}を更に上記遅延時間D×3なる時間分だけ遅延させたものを遅延加算信号A_{D5}として係数乗算器341に供給する。係数乗算器339は、上記遅延加算信号A_{D3}に所定係数値K₂（例えば、“3/16”）を乗算して得られた乗算結果を加算器342に供給する。係数乗算器340は、上記遅延加算信号A_{D4}に所定係数値K₃（例えば、“5/16”）を乗算して得られた乗算結果を加算器342に供給する。係数乗算器341は、上記遅延加算信号A_{D5}に所定係数値K₄（例えば、“1/16”）を乗算して得られた乗算結果を加算器342に供給する。加算器342は、上記係数乗算器33

9、340及び341各々から供給された乗算結果を加算して得られた加算信号を上記遅延回路334に供給する。遅延回路334は、かかる加算信号を上記遅延時間Dなる時間分だけ遅延させて上記加算器332に供給する。加算器332は、上記誤差データと、遅延回路334からの遅延出力と、係数乗算器335の乗算出力とを加算した際に桁上げがない場合には論理レベル“0”、桁上げがある場合には論理レベル“1”的キャリアアウト信号C_oを発生してこれを加算器333に供給する。加算器333は、上記変換画素データD_n中の上位6ビット分からなる表示データに、上記キャリアアウト信号C_oを加算したものと6ビットの誤差拡散処理画素データE_Dとして出力する。

【0017】以下に、かかる構成からなる誤差拡散処理回路330の動作について説明する。例えば、図10に示されるが如きPDP10の画素G(j,k)に対応した誤差拡散処理画素データE_Dを求める場合、先ず、かかる画素G(j,k)の左横の画素G(j,k-1)、左斜め上の画素G(j-1,k-1)、真上の画素G(j-1,k)、及び右斜め上の画素G(j-1,k+1)各々に対応した各誤差データ、すなわち、画素G(j,k-1)に対応した誤差データ：遅延加算信号A_{D1}、画素G(j-1,k+1)に対応した誤差データ：遅延加算信号A_{D2}、画素G(j-1,k)に対応した誤差データ：遅延加算信号A_{D3}、画素G(j-1,k-1)に対応した誤差データ：遅延加算信号A_{D4}、各々を、上述した如き所定の係数値K₁～K₄をもって重み付け加算する。次に、この加算結果に、変換画素データH_D_nの下位2ビット分、すなわち画素G(j,k)に対応した誤差データを加算し、この際得られた1ビット分のキャリアアウト信号C_oを変換画素データD_n中の上位6ビット分、すなわち画素G(j,k)に対応した表示データに加算したものを誤差拡散処理画素データE_Dとする。

【0018】かかる構成により、誤差拡散処理回路330では、変換画素データD_n中の上位6ビット分を表示データ、残りの下位2ビット分を誤差データとして捉え、周辺画素{G(j,k-1), G(j-1,k+1), G(j-1,k), G(j-1,k-1)}各々での誤差データを重み付け加算したものを、上記表示データに反映させるようしている。かかる動作により、原画素{G(j,k)}における下位2ビット分の輝度が上記周辺画素により擬似的に表現され、それ故に8ビットよりも少ない6ビット分の表示データにて、8ビット分の画素データと同等の輝度階調表現が可能になるのである。

【0019】尚、この誤差拡散の係数値が各画素に対して一定に加算されていると、誤差拡散パターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、4つの周辺画素各々に割り当てるべき誤

差拡散の係数 $K_1 \sim K_4$ を 1 フィールド毎に変更するようにも良い。ディザ処理回路 350 は、かかる誤差拡散処理回路 330 から供給された誤差拡散処理画素データ E D に対してディザ処理を施す。かかるディザ処理では、隣接する複数個の画素により 1 つの中間表示レベルを表現する。例えば、8 ビットの画素データ内の上位 6 ビットの画素データを用いて 8 ビット相当の階調表示を行う場合、左右、上下に互いに隣接する 4 つの画素を 1 組とし、この 1 組の各画素に対応した画素データ各々に、互いに異なる係数値からなる 4 つのディザ係数 $a \sim d$ を夫々割り当てて加算する。かかるディザ処理によれば、4 画素で 4 つの異なる中間表示レベルの組み合わせが発生することになる。よって、例え画素データのビット数が 6 ビットであっても、表現出来る輝度階調レベルは 4 倍、すなわち、8 ビット相当の中間調表示が可能となるのである。

【0020】しかしながら、ディザ係数 $a \sim d$ なるディザパターンが各画素に対して一定に加算されていると、このディザパターンによるノイズが視覚的に確認される場合があり画質を損なってしまう。そこで、ディザ処理回路 350 では、4 つの画素各々に割り当てるべき上記ディザ係数 $a \sim d$ を 1 フィールド毎に変更するようにしている。

【0021】図 11 は、かかるディザ処理回路 350 の内部構成を示す図である。図 11において、ディザ係数発生回路 352 は、図 12 に示されるが如く互いに隣接する 4 つの画素 [G(j,k), G(j,k+1), G(j+1,k), G(j+1,k+1)] 每に 4 つのディザ係数 a, b, c, d を発生してこれらを順次加算器 351 に供給する。更に、ディザ係数発生回路 352 は、これら 4 つの画素各々に対応させて発生するディザ係数 $a \sim d$ の割り当てを、図 12 に示されるように 1 フィールド毎に変更していく。

【0022】すなわち、最初の第 1 フィールドにおいては、

画素 G(j,k) : ディザ係数 a

画素 G(j,k+1) : ディザ係数 b

画素 G(j+1,k) : ディザ係数 c

画素 G(j+1,k+1) : ディザ係数 d

次の第 2 フィールドにおいては、

画素 G(j,k) : ディザ係数 b

画素 G(j,k+1) : ディザ係数 a

画素 G(j+1,k) : ディザ係数 d

画素 G(j+1,k+1) : ディザ係数 c

次の第 3 フィールドにおいては、

画素 G(j,k) : ディザ係数 d

画素 G(j,k+1) : ディザ係数 c

画素 G(j+1,k) : ディザ係数 b

画素 G(j+1,k+1) : ディザ係数 a

そして、第 4 フィールドにおいては、

画素 G(j,k) : ディザ係数 c

画素 G(j,k+1) : ディザ係数 d

画素 G(j+1,k) : ディザ係数 a

画素 G(j+1,k+1) : ディザ係数 b

の如き割り当てにて、ディザ係数 $a \sim d$ を循環して繰り返し発生し、これを加算器 351 に供給する。ディザ係数発生回路 352 は、上述した如き第 1 フィールド～第 4 フィールドの動作を繰り返し実行する。つまり、かかる第 4 フィールドでのディザ係数発生動作が終了したら、再び、上記第 1 フィールドの動作に戻って、前述した動作を繰り返すのである。

【0023】加算器 351 は、上記誤差拡散処理回路 330 から供給されてくる上記画素 G(j,k)、画素 G(j,k+1)、画素 G(j+1,k)、及び画素 G(j+1,k+1) 各々に対応した誤差拡散処理画素データ E D 各々に、上述の如く各フィールド毎に割り当てられたディザ係数 $a \sim d$ を夫々加算し、この際得られたディザ加算画素データを上位ビット抽出回路 353 に供給する。

【0024】例えば、図 12 に示される第 1 フィールドにおいては、画素 G(j,k)に対応した誤差拡散処理画素

データ E D + ディザ係数 a、画素 G(j,k+1)に対応した誤差拡散処理画素データ E D + ディザ係数 b、画素 G(j+1,k)に対応した誤差拡散処理画素データ E D + ディザ係数 c、画素 G(j+1,k+1)に対応した誤差拡散処理画素データ E D + ディザ係数 d の各々をディザ加算画素データとして上位ビット抽出回路 353 に順次供給していくのである。この際、図 10 に示す如き複数の画素を 1 つの画素単位として眺めた場合、上記ディザ係数の加算によれば、上記ディザ加算画素データの上位 4 ビット分だけでも 8 ビットに相当する輝度を表現することが出来る。そこで、次段の上位ビット抽出回路 353 は、かかるディザ加算画素データの上位 4 ビット分までを抽出し、これを多階調化画素データ D_s として図 5 に示す如き第 2 データ変換回路 34 及び 35 の各々に供給する。

【0025】第 2 データ変換回路 34 は、多階調化画素データ D_s を図 13 に示す如きデータ変換テーブルに従って 14 ビットの画素駆動データ G D_s に変換し、これをセレクタ 36 に供給する。一方、第 2 データ変換回路 35 は、上記多階調化画素データ D_s を図 14 に示す如きデータ変換テーブルに従って 14 ビットの画素駆動データ G D_b に変換し、これをセレクタ 36 に供給する。

セレクタ 36 は、駆動制御回路 2 から論理レベル "0" のフリッカ抑制信号 F S が供給された場合には上記画素駆動データ G D_s 及び G D_b の内から G D_s を選択しこれを画素駆動データ G D_s として、図 4 に示すメモリ 5 に供給する。一方、論理レベル "1" のフリッカ抑制信号 F S が供給された場合には、セレクタ 36 は、上記画素駆動データ G D_b を選択しこれを画素駆動データ G D_s としてメモリ 5 に供給する。

【0026】メモリ 5 は、この画素駆動データ G D_s を、駆動制御回路 2 から供給されてくる書込信号に応じて順

次書き込む。かかる書込動作により1画面(n 行、 m 列)分の書き込みが終了すると、メモリ5は、駆動制御回路2から供給された読出信号に従って、その書き込まれたデータを以下の如く読み出す。すなわち、メモリ5では、書き込まれた1画面分の画素駆動データ $G D_{11} \sim G D_{nn}$ 各々をそのビット桁(第1ビット～第14ビット)毎にグループ化した画素駆動データビット群DB1～DB14と捉える。尚、画素駆動データビット群DB1～DB14各々は、

DB1 : $G D_{11} \sim G D_{nn}$ 各々の第1ビット
 DB2 : $G D_{11} \sim G D_{nn}$ 各々の第2ビット
 DB3 : $G D_{11} \sim G D_{nn}$ 各々の第3ビット
 DB4 : $G D_{11} \sim G D_{nn}$ 各々の第4ビット
 DB5 : $G D_{11} \sim G D_{nn}$ 各々の第5ビット
 DB6 : $G D_{11} \sim G D_{nn}$ 各々の第6ビット
 DB7 : $G D_{11} \sim G D_{nn}$ 各々の第7ビット
 DB8 : $G D_{11} \sim G D_{nn}$ 各々の第8ビット
 DB9 : $G D_{11} \sim G D_{nn}$ 各々の第9ビット
 DB10 : $G D_{11} \sim G D_{nn}$ 各々の第10ビット
 DB11 : $G D_{11} \sim G D_{nn}$ 各々の第11ビット
 DB12 : $G D_{11} \sim G D_{nn}$ 各々の第12ビット
 DB13 : $G D_{11} \sim G D_{nn}$ 各々の第13ビット
 DB14 : $G D_{11} \sim G D_{nn}$ 各々の第14ビット

である。

【0027】そして、メモリ5は、これら画素駆動データビット群DB1～DB14各々を、後述するサブフィールドSF1～SF14各々に対応させて、1表示ライン分ずつ順次読み出す。駆動制御回路2は、上記垂直同期周波数信号VF及び平均輝度信号ABに応じて以下の如き発光駆動制御を実行する。

【0028】つまり、駆動制御回路2は、上記垂直同期周波数信号VFにて示される垂直同期周波数が例えば60[Hz]以上となる場合、又は平均輝度信号ABにて示される平均輝度レベルが所定レベルよりも低い場合には、先ず、論理レベル"0"のフリッカ抑制信号FSをデータ変換回路30に供給する。この際、データ変換回路30のセレクタ36は、かかる論理レベル"0"のフリッカ抑制信号FSに応じて、第2データ変換回路34で変換された画素駆動データ $G D_{\cdot}$ をメモリ5に供給する。そして、駆動制御回路2は、図15に示す如き発光駆動フォーマットに従ってPDP10を発光駆動せしめるべき各種タイミング信号をアドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々に供給する。

【0029】すなわち、入力映像信号の輝度レベルが低い場合、又はこの入力映像信号として、垂直同期周波数が60[Hz]以上となる例えばNTSC方式テレビジョン信号が供給された場合には、図13及び図15に示す如き発光駆動を実施するのである。一方、上記垂直同期周波数信号VFにて示される垂直同期周波数が60[Hz]

より小であり、かつ、平均輝度信号ABにて示される平均輝度レベルが所定レベルよりも高い場合には、駆動制御回路2は、先ず、論理レベル"1"のフリッカ抑制信号FSをデータ変換回路30に供給する。この際、データ変換回路30のセレクタ36は、かかる論理レベル"1"のフリッカ抑制信号FSに応じて第2データ変換回路34によって変換された画素駆動データ $G D_{\cdot}$ をメモリ5に供給する。そして、駆動制御回路2は、図16に示す如き発光駆動フォーマットに従ってPDP10を発光駆動せしめるべき各種タイミング信号をアドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8各々に供給する。

【0030】すなわち、入力映像信号として、垂直同期周波数が60[Hz]よりも小となる例えばPAL方式テレビジョン信号が供給され、かつその平均輝度が高い場合には、図14及び図16に示す如き発光駆動を実施するのである。尚、図15及び図16に示される発光駆動フォーマットでは、1フィールド(以下、1フレームをも含む表現とする)の表示期間を14個のサブフィールドSF1～SF14に分割する。そして、各サブフィールド内で、PDP10の各放電セルを"点灯放電セル状態"及び"消灯放電セル状態"のいずれか一方に設定するアドレス行程Wcと、上記"点灯放電セル状態"にある放電セルのみを図15(又は図16)中に示される回数だけ繰り返し発光せしめる発光維持行程Icとを実施する。

又、先頭のサブフィールドSF1において、PDP10の全放電セル内の壁電荷量を初期化せしめる一齊リセット行程Rcを実行し、最後尾のサブフィールドSF14では、全放電セル内の壁電荷を一齊に消去する消去行程Eを実行する。

【0031】尚、図16に示される発光駆動フォーマットでは、図15に示される発光駆動フォーマットにおけるサブフィールドSF1、SF3、SF5、SF7、SF9、SF11、及びSF13を1フィールド表示期間の前半に実行し、SF2、SF4、SF6、SF8、SF10、SF12、及びSF14をその後半に実行する。この際、前半の最後尾のサブフィールドSF13において上記消去行程Eを実行し、後半の先頭サブフィールドSF2において上記一齊リセット行程Rcを実行する。

【0032】アドレスドライバ6、第1サスティンドライバ7及び第2サスティンドライバ8は、上記各行程での動作を実現すべき各種駆動パルスを駆動制御回路2から供給されたタイミング信号に応じたタイミングでPDP10の各電極に印加する。図17は、上記一齊リセット行程Rc、アドレス行程Wc、発光維持行程Ic、消去行程Eの各々において、上記ドライバの各々がPDP10の列電極D、行電極X及びYに印加する各種駆動パルスの印加タイミングを示す図である。

【0033】先ず、上記一齊リセット行程Rcでは、第

1 サスティンドライバ7及び第2サスティンドライバ8各々が図17に示されるが如きリセットパルスRP_x及びRP_yを行電極X₁～X_n及びY₁～Y_nの各々に同時印加する。これらリセットパルスRP_x及びRP_yの印加に応じて、PDP10中の全ての放電セルがリセット放電して、各放電セル内には一様に所定の壁電荷が形成される。これにより、全放電セルは"点灯放電セル状態"に初期設定される。

【0034】次に、アドレス行程Wcでは、アドレスドライバ6が、上記メモリ5から読み出された画素駆動データビット群DBにおける各画素駆動データビットの論理レベルに対応した電圧を有する画素データパルスを発生する。例えば、アドレスドライバ6は、画素駆動データビットの論理レベルが"1"である場合には高電圧の画素データパルスを発生し、"0"である場合には低電圧(0ボルト)の画素データパルスを発生する。そして、アドレスドライバ6は、かかる画素データパルスを1表示ライン分(m個)ずつ列電極D₁～D_nに印加して行く。例えば、サブフィールドSF1のアドレス行程Wcでは、メモリ5からは前述した如く画素駆動データビット群DB1が読み出される。この際、アドレスドライバ6は、先ず、画素駆動データビット群DB1中における第1表示ラインに対応したm個の画素駆動データビット各々を、その論理レベルに対応したパルス電圧を有するm個の画素データパルスに変換し、これらを画素データパルス群DP1として列電極D₁～D_nに印加する。次に、アドレスドライバ6は、画素駆動データビット群DB1中における第2表示ラインに対応したm個の画素駆動データビット各々を、その論理レベルに対応したパルス電圧を有するm個の画素データパルスに変換し、これらを画素データパルス群DP2として列電極D₁～D_nに印加する。以下、同様にして、サブフィールドSF1のアドレス行程Wc内では、画素データパルス群DP1の第3～第n表示ライン各々に対応した画素データパルス群DP3～DPnを順次列電極D₁～D_nに印加して行く。又、サブフィールドSF2のアドレス行程Wcでは、メモリ5からは前述した如く画素駆動データビット群DB2が読み出される。この際、アドレスドライバ6は、先ず、画素駆動データビット群DB2中における第1表示ラインに対応したm個の画素駆動データビット各々を、その論理レベルに対応したパルス電圧を有するm個の画素データパルスに変換し、これらを画素データパルス群DP1として列電極D₁～D_nに印加する。次に、アドレスドライバ6は、画素駆動データビット群DB2中における第2表示ラインに対応したm個の画素駆動データビット各々を、その論理レベルに対応したパルス電圧を有するm個の画素データパルスに変換し、これらを画素データパルス群DP2として列電極D₁～D_nに印加する。以下、同様にして、サブフィールドSF2のアドレス行程Wc内では、画素データパルス群DP2の第3～第n表

示ライン各々に対応した画素データパルス群DP3～DPnを順次列電極D₁～D_nに印加して行く。

【0035】更に、各アドレス行程Wcでは、第2サスティンドライバ8が、上述した如き画素データパルス群DPの各印加タイミングと同一タイミングにて、図17に示されるが如き負極性の走査パルスSPを発生し、これを行電極Y₁～Y_nへと順次印加して行く。この際、走査パルスSPが印加された行電極Yと、高電圧の画素データパルスが印加された列電極Dとの交差部の放電セルにのみ放電(選択消去放電)が生じ、その放電セル内に残存していた壁電荷が選択的に消去される。かかる選択消去放電により、上記一齐リセット行程R_cにて"点灯放電セル状態"に初期化された放電セルは、"消灯放電セル状態"に設定される。一方、低電圧の画素データパルスが印加された列電極Dに属する放電セルには放電が生起されず、現状が保持される。つまり、"消灯放電セル状態"の放電セルは"消灯放電セル状態"のまま、"点灯放電セル状態"の放電セルは"点灯放電セル状態"をそのまま維持するのである。

【0036】次に、各サブフィールドの発光維持行程Icでは、第1サスティンドライバ7及び第2サスティンドライバ8各々が、図17に示されるが如く、正極性の維持パルスIP_x及びIP_yを行電極X₁～X_n及びY₁～Y_nに交互に繰り返し印加する。尚、各サブフィールドSF1～SF14の発光維持行程Icにおいて上記維持パルスIPを繰り返し印加しつづける回数は、SF1での回数を"1"とした場合、図15及び図16に示すよう

Ic : SF1 : 1

SF2 : 3

SF3 : 5

SF4 : 8

SF5 : 10

SF6 : 13

SF7 : 16

SF8 : 19

SF9 : 22

SF10 : 25

SF11 : 28

SF12 : 32

SF13 : 35

SF14 : 39

である。

【0037】ここで、壁電荷が形成されている放電セル、すなわち"点灯放電セル状態"にある放電セルのみが、これら維持パルスIP_x及びIP_yが印加される度に放電(維持放電)し、その放電に伴う発光状態を維持する。この発光状態を維持している時間が長いほど、人間の目には明るく感じられる。消去行程Eでは、第2サスティンドライバ8が、図17に示されるが如き負極性の

50

消去パルスEPを発生してこれを行電極Y₁～Y_n各々に印加する。かかる消去パルスEPの印加により、PDP10における全放電セル内において消去放電が生起され、全ての放電セル内に残存している壁電荷が消滅する。すなわち、かかる消去放電により、PDP10における全放電セルが強制的に"消灯放電セル状態"になる。

【0038】以上の如き駆動によれば、各サブフィールド内のアドレス行程Wcにて"点灯放電セル状態"に設定された放電セルのみが、その直後の発光維持行程Icにおいて上述した如き各サブフィールドの重み付けに対応した回数だけ発光する。この際、各放電セルが"点灯放電セル状態"、又は"消灯放電セル状態"のいずれに設定されるのかは、図13又は図14に示される画素駆動データGD_a又はGD_bによって決定する。すなわち、画素駆動データGD中のビットが論理レベル"1"である場合には、そのビット桁に対応したサブフィールドのアドレス行程Wcにおいて選択消去放電が生起され、その放電セルは"消灯放電セル状態"に設定される。一方、画素駆動データGD中のビットが論理レベル"0"である場合には、そのビット桁に対応したサブフィールドのアドレス行程Wcでは上記選択消去放電は生起されない。よって、"消灯放電セル状態"の放電セルは"消灯放電セル状態"のまま、"点灯放電セル状態"の放電セルは"点灯放電セル状態"の状態をそのまま維持する。

【0039】ここで、図13に示される画素駆動データGD_aでは、その第1～第14ビット各々が、図15におけるサブフィールドSF1～SF14各々のアドレス行程Wcにおいて選択消去放電を生起させるか否かを決定している。よって、図13に示される画素駆動データGD_aを用いて図15に示される発光駆動フォーマットに従った駆動を行うと、先ず、サブフィールドSF1において全放電セルは"点灯放電セル状態"に初期化される。そして、放電セルの"点灯放電セル状態"は、図13中の黒丸にて示されるサブフィールドのアドレス行程Wcで選択消去放電が生起されるまで保持される。従って、上記"点灯放電セル状態"の状態を保持している間に存在するサブフィールド(白丸にて示す)各々の発光維持行程Icにおいて、そのサブフィールドの重み付けに応じた回数だけ維持放電発光が実施されるのである。この際、1フィールド期間内において各サブフィールド毎の発光維持行程Icにて生起された維持放電発光の総数に応じた中間輝度が視覚されることになる。

【0040】よって、図13に示す如き15パターンを有する画素駆動データGD_aを用いて、図15に示される発光駆動フォーマットに従った駆動を行うと、{0:1:4:9:17:27:40:56:75:97:122:150:182:217:255}なる15段階にて中間調の輝度を表現することが可能となる。そして、かかる15段階の階調駆動と、前述した如き多階調化処理回路33での多階調化処理により、視覚上においては256階調相当の中間輝度が表

現されるようになる。

【0041】一方、図14に示される画素駆動データGD_bでは、その第1～第14ビット各々と図16におけるサブフィールドSF1～SF14各々とが、以下のように対応している。

GD_bの第1ビット: SF1

GD_bの第2ビット: SF3

GD_bの第3ビット: SF5

GD_bの第4ビット: SF7

10 GD_bの第5ビット: SF9

GD_bの第6ビット: SF11

GD_bの第7ビット: SF13

GD_bの第8ビット: SF2

GD_bの第9ビット: SF4

GD_bの第10ビット: SF6

GD_bの第11ビット: SF8

GD_bの第12ビット: SF10

GD_bの第13ビット: SF12

GD_bの第14ビット: SF14

20 更に、図16に示される発光駆動フォーマットでは、サブフィールドSF1のみならずサブフィールドSF2においても一斉リセット行程Rcを実行するようしている。

【0042】従って、図14に示される画素駆動データGDを用いて図16に示される発光駆動フォーマットに従った駆動を行うと、全放電セルはサブフィールドSF1及びSF2で夫々"点灯放電セル状態"に初期化される。この"点灯放電セル状態"は、図14中の黒丸にて示されるサブフィールドのアドレス行程Wcで選択消去放電が生起されるまで保持される。この際、上記"点灯放電セル状態"を保持している間に存在するサブフィールド(白丸にて示す)各々の発光維持行程Icにおいて、そのサブフィールドの重み付けに応じた回数だけ維持放電発光が繰り返し実施される。そして、図14中の黒丸にて示されるサブフィールドのアドレス行程Wcにおいて選択消去放電が生起されると、各放電セルは"消灯放電セル状態"に推移する。この際、1フィールド期間内において各サブフィールド毎の発光維持行程Icにて生起された維持放電発光の総数に応じた中間輝度が視覚されることになる。

30 40 【0043】よって、図14に示す如き15パターンの画素駆動データGD_bを用いて、図16に示される発光駆動フォーマットに従った駆動を行うと、前述した如き図13及び図15に示される駆動と同様に、{0:1:4:9:17:27:40:56:75:97:122:150:182:217:255}なる15段階にて中間調の輝度を表現することが可能となる。

【0044】この際、図13及び図15に示される駆動(以下、第1発光駆動と称する)では、1フィールドの先頭のサブフィールドのみにおいて、全放電セル内に壁電

荷を形成させるリセット放電を生起する。そして、各放電セル内に形成されている壁電荷を選択的に消去する選択消去放電を、1フィールド表示期間内において最大でも1回だけ生起せしめる。これにより、1フィールド表示期間内において、維持放電発光の為されるサブフィールド(図13中の白丸にて示す)が連続する発光継続状態から、消灯状態となるサブフィールドが連続する消灯継続状態への切り換え回数が最大でも1回となる。従って、図13に示す如き15通りの発光駆動パターン内には、1フィールド表示期間内での発光継続状態の期間と消灯継続状態の期間とが互いに反転している発光駆動パターンは存在しない。よって、1画面内において、発光継続状態の期間と、消灯継続状態の期間とが互いに反転する2つの画像領域が隣接する際に、その境界上に生じるといわれる偽輪郭の発生が抑制されるのである。更に、上記第1発光駆動では、比較的電力消費の多いリセット放電を1フィールドの先頭において1度だけしか実行しないので、電力消費が抑制される。

【0045】一方、図14及び図16に示される駆動(以下、第2発光駆動と称する)では、1フィールドの表示期間を前半の駆動期間(SF1,SF3,SF5,SF7,SF9,SF11,SF13)と後半の駆動期間(SF2,SF4,SF6,SF8,SF10,SF12,SF14)とに分割した階調駆動を採用している。そして、図14中の白丸にて示されるように、前半の駆動期間内において、その先頭から入力映像信号の輝度レベルに対応した時間に亘り連続して発光を実施する。更に、後半の駆動期間内において、その先頭から入力映像信号の輝度レベルに対応した時間に亘り連続して発光を実施するのである。従って、図14に示す如き15通りの発光駆動パターン内には、1フィールド表示期間内での発光継続状態の期間と消灯継続状態の期間とが互いに反転している発光駆動パターンは存在しない。よって、1画面内において、発光継続状態の期間と、消灯継続状態の期間とが互いに反転する2つの画像領域が隣接する際に、その境界上に生じるといわれる偽輪郭の発生が抑制される。

又、上記第2発光駆動によれば、維持放電発光の生起きるサブフィールドが連続してなる発光継続状態から、消灯状態のサブフィールドが連続してなる消灯継続状態への切り換えが、1フィールド期間内において最大2回実施されることになる。つまり、上記前半の駆動期間での発光開始時点と、後半の駆動期間での発光開始時点との時間間隔が1フィールド表示期間の約1/2となり、上記発光継続状態及び上記消灯継続状態間での切り換え周波数は、1フィールド表示期間を担う垂直同期周波数の約2倍となる。これにより、垂直同期周波数が50[Hz]のPAL方式テレビジョン信号が入力映像信号として供給され、かつ、そのPAL方式テレビジョン信号によって表される平均輝度が比較的高くても、フリッカを生じさせることのない良好な画像表示が為されるようになる。

【0046】以上の如く、本発明においては、平均輝度レベルの低い映像信号が入力された場合、又は垂直同期周波数の高い映像信号が入力された場合には、1フィールド内において、入力映像信号の輝度レベルに応じた数だけ連続したサブフィールド各々で放電セルを発光せしめる第1発光駆動(図13及び図15)を実施する。かかる第1発光駆動によれば、1フィールド表示期間内において発光継続期間と消灯継続期間とが互いに反転することによる発光駆動パターンが存在しないので、偽輪郭の発生が抑制される。更に、比較的電力消費の多いリセット放電を1フィールドの先頭において1度だけしか実行しないので、電力消費が抑制される。

【0047】一方、平均輝度レベルが高く、かつその垂直同期周波数が低い映像信号が入力された場合には、1フィールドの前半及び後半の各々において、入力映像信号の輝度レベルに応じた数だけ連続したサブフィールド各々で放電セルを発光せしめる第2発光駆動(図14及び図16)を実施する。かかる第2発光駆動によれば、1フィールド表示期間内において発光継続期間と消灯継続期間とが互いに反転することによる発光駆動パターンが存在しないので、偽輪郭の発生が抑制される。更に、第2発光駆動によれば、1フィールド表示期間内での発光継続状態から消灯継続状態への切り換え回数が最大で2回となる。よって、入力された映像信号がPALテレビジョン信号の如き比較的、垂直同期周波数の低い映像信号であり、かつ、その映像信号が高輝度であっても、フリッカの発生が抑制された良好な画像表示が為されるようになる。

【0048】尚、図14に示される第2発光駆動時における第1階調～第13階調各々に対応した発光駆動パターンでは、1フィールドの前半及び後半で夫々1回だけ選択消去放電を生起させるようにしている。しかしながら、放電セル内に残留する荷電粒子の量が少ないと、たとえ走査パルスSP及び高電圧の画素データパルスが同時に印加されても選択消去放電が正常に生起されない場合がある。

【0049】そこで、第2データ変換回路35で用いる変換テーブルとして、図14に示されるものに代わり図18に示されるものを採用して、この選択消去放電を確実に生起させるようにしても良い。かかる変換テーブルによって変換された画素駆動データG.D.によれば、図18中の黒丸に示されるように、互いに連続した2つのサブフィールド各々において選択消去放電が生起される。よって、たとえ1回目の選択消去放電で放電セル内の壁電荷を正常に消滅させることができなくても、2回目の選択消去放電によって壁電荷の消滅が正常に行われるようになる。

【0050】又、図16に示される発光駆動フォーマットでは、サブフィールドSF1、SF3、SF5、SF7、SF9、SF11、SF13を1フィールドの前

半、SF2、SF4、SF6、SF8、SF10、SF12、SF14をその後半に実行するようとしているが、これに限定されるものではない。図19は、かかる点に鑑みて示された図16に示される発光駆動フォーマットの変形例を示す図である。

【0051】図19に示される発光駆動フォーマットでは、1フィールドの前半部においてサブフィールドSF1、SF4、SF5、SF8、SF9、SF12、SF13を順次実行し、後半部においてSF2、SF3、SF6、SF7、SF10、SF11、SF14を順次実行する。図20は、図19に示される発光駆動フォーマットを採用して発光駆動制御を実施する際に、第2データ変換回路34で用いるデータ変換テーブルと、発光駆動パターンとを示す図である。

【0052】この際、図20に示される画素駆動データGD_bの第1～第14ビット各々と、図19におけるサブフィールドSF1～SF14各々とが、以下の如く対応している。

GD_bの第1ビット：SF1

GD_bの第2ビット：SF4

GD_bの第3ビット：SF5

GD_bの第4ビット：SF8

GD_bの第5ビット：SF9

GD_bの第6ビット：SF12

GD_bの第7ビット：SF13

GD_bの第8ビット：SF2

GD_bの第9ビット：SF3

GD_bの第10ビット：SF6

GD_bの第11ビット：SF7

GD_bの第12ビット：SF10

GD_bの第13ビット：SF11

GD_bの第14ビット：SF14

又、上記実施例においては、画素データの書き込み方法として、予め全放電セルを“点灯放電セル状態”に初期化しておき、画素データに応じて選択的にその壁電荷を消去して“消灯放電セル状態”に設定する、いわゆる選択消去アドレス法を採用した場合について述べた。

【0053】しかしながら、本発明は、画素データの書き込み方法として、各放電セル内に残存する壁電荷を消滅させて全放電セルを“消灯放電セル状態”に初期化しておき、画素データに応じて選択的に壁電荷を形成するようにした、いわゆる選択書き込みアドレス法を採用した場合についても同様に適用可能である。図21はかかる選択書き込みアドレス法を採用した場合に用いる第1発光駆動における発光駆動フォーマット、図22は第2発光駆動における発光駆動フォーマットを夫々示す図である。

又、図23は、図21に示される発光駆動フォーマットを採用した場合に第2データ変換回路34において用いられるデータ変換テーブルと、発光駆動パターンとを示す図である。更に、図24は、図22に示される発光駆

動フォーマットを採用した場合に第2データ変換回路35において用いられるデータ変換テーブルと、発光駆動パターンとを示す図である。

【0054】この際、図21に示される第1発光駆動時における発光駆動フォーマットでは、図15に示される発光駆動フォーマットとは反対に、サブフィールドSF14～SF1なる順に階調駆動を実施する。そして、先頭のサブフィールドSF14のみにおいて、全放電セル内に残存している壁電荷を一齊に消去せしめて全ての放電セルを“消灯放電セル状態”に初期化する一齊リセット行程Rc'を実行する。更に、各サブフィールド内において、アドレス行程Wc'と発光維持行程Icとを実行する。この際、図23に示されている画素駆動データGD中ににおける論理レベル“1”的ビット桁に対応したサブフィールド(黒丸にて示す)でのアドレス行程Wc'のみにおいて、壁電荷を形成させるべき選択書き込み放電を生起させる。この選択書き込み放電の生起された放電セルは“点灯放電セル状態”に設定される。従って、図23中において、黒丸及び白丸が付されているサブフィールドでの発

20 光維持行程Icにおいて、そのサブフィールドの重み付けに対応した回数だけ発光が実施される。この際、図21及び図23に示される第1発光駆動においても、1フィールド表示期間内において、維持放電発光の為されるサブフィールド(図23中の白丸及び黒丸にて示す)の連続する発光継続状態から、消灯状態となるサブフィールドが連続する消灯継続状態への切り換え回数は最大でも1回となる。従って、図23に示す如き15通りの発光駆動パターン内には、1フィールド表示期間内での発光継続状態の期間と消灯継続状態の期間とが互いに反転している発光駆動パターンは存在しない。よって、1画面内において、発光継続状態の期間と、消灯継続状態の期間とが互いに反転する2つの画像領域が隣接する際に、その境界上に生じるといわれる偽輪郭の発生が抑制される。更に、図21及び図23に示される第1発光駆動においても、比較的電力消費の多いリセット放電を1フィールドの先頭において1度だけしか実行しないので、電力消費が抑制される。

【0055】一方、図22に示される第2発光駆動における発光駆動フォーマットでは、1フィールドの前半部でサブフィールドSF13、SF11、SF9、SF7、SF5、SF3、SF1を順次実行し、後半部でSF14、SF12、SF10、SF8、SF6、SF4、SF2を順次実行している。この際、前半部での先頭のサブフィールドSF13並びに後半部での先頭のサブフィールドSF14の各々において、上述した如き一齊リセット行程Rc'を同様に実行する。そして、各サブフィールド内において、上述した如きアドレス行程Wc'と発光維持行程Icとを夫々実行する。この際、図24に示される画素駆動データGD_bの第1～第14ビット各々と、図22におけるサブフィールドSF1～SF1

4各々とが、以下の如く対応している。

【0056】GD_bの第1ビット：SF13

GD_bの第2ビット：SF11

GD_bの第3ビット：SF9

GD_bの第4ビット：SF7

GD_bの第5ビット：SF5

GD_bの第6ビット：SF3

GD_bの第7ビット：SF1

GD_bの第8ビット：SF14

GD_bの第9ビット：SF12

GD_bの第10ビット：SF10

GD_bの第11ビット：SF8

GD_bの第12ビット：SF6

GD_bの第13ビット：SF4

GD_bの第14ビット：SF2

従って、図24中において、黒丸及び白丸にて示されるサブフィールドでの発光維持行程Icのみで、そのサブフィールドの重み付けに対応した回数だけ発光が為される。尚、かかる駆動では、消灯継続状態から発光継続状態への切り換えを、図14に示される発光駆動と同様に1フィールド表示期間内において最大2回行うようにしている。

【0057】ここで、駆動制御回路2は、入力映像信号の垂直同期周波数が所定周波数(60[Hz])以上ある、又は入力映像信号によって表される平均輝度が低輝度であるが故にフリッカの恐れが無い場合には、図21及び図23に示される第1発光駆動を実行する。一方、入力映像信号の垂直同期周波数が所定周波数よりも低く、かつその平均輝度が高いが故にフリッカ発生の恐れが有る場合には、1フィールド表示期間内に消灯継続状態から発光継続状態への切り換えを最大2回実施する、図22及び図24に示されるが如き第2発光駆動を実行するのである。

【0058】又、上記実施例における第2発光駆動では、奇数番号の付されているサブフィールドを1フィールドの前半、偶数番号の付されているサブフィールドをその後半で実行するようしているが、両者を反転させても良い。図25は、かかる点に鑑みて為された第2発光駆動での発光駆動フォーマットを示す図である。

【0059】図25に示される発光駆動フォーマットでは、各発光維持行程Icで実施すべき発光回数の比が、

[3:8:13:19:25:32:39]であるサブフィールドSF2、SF4、SF6、SF8、SF10、SF12、及びSF14を1フィールドの前半部において順次実行する。そして、1フィールドの後半部において、各発光維持行程Icで実施すべき発光回数の比が、[1:5:10:16:22:28:35]なるサブフィールドSF1、SF3、SF5、SF7、SF9、SF11、及びSF13を順次実行する。

【0060】図26は、この図25に示される発光駆動

フォーマットを採用した場合に第2データ変換回路35で用いるデータ変換テーブルと、その発光駆動パターンとを示す図である。この際、図26に示される画素駆動データGD_bの第1～第14ビット各々と、図25におけるサブフィールドSF1～SF14各々とが、以下の如く対応している。

【0061】GD_bの第1ビット：SF2

GD_bの第2ビット：SF4

GD_bの第3ビット：SF6

10 GD_bの第4ビット：SF8

GD_bの第5ビット：SF10

GD_bの第6ビット：SF12

GD_bの第7ビット：SF14

GD_bの第8ビット：SF1

GD_bの第9ビット：SF3

GD_bの第10ビット：SF5

GD_bの第11ビット：SF7

GD_bの第12ビット：SF9

GD_bの第13ビット：SF11

20 GD_bの第14ビット：SF13

すなわち、図25及び図26に示す第2発光駆動では、図14及び図16に示される第2発光駆動における1フィールドの前半部でのサブフィールド系列(SF1、SF3、SF5、SF7、SF9、SF11、SF13)と、後半部でのサブフィールド系列(SF2、SF4、SF6、SF8、SF10、SF12、SF14)とを反転させたのである。

【0062】同様に、図27及び図28に示す第2発光駆動は、図22及び図24に示される第2発光駆動における1フィールドの前半部でのサブフィールド系列(SF13、SF11、SF9、SF7、SF5、SF3、SF1)と、後半部でのサブフィールド系列(SF14、SF12、SF10、SF8、SF6、SF4、SF2)とを反転させたものである。

【0063】又、上記実施例においては、1フィールドを偶数個(14個)のサブフィールドに分割してPDP10を階調駆動しているが、分割するサブフィールドの数は偶数個に限定されるものではない。図29及び図30は、1フィールドを奇数個(13個)のサブフィールドに分割してPDP10を駆動する際に採用する第2発光駆動時における発光駆動パターンの一例を示すである。

尚、図29は選択消去アドレス法、図30は選択書きアドレス法を採用した場合での第2発光駆動時における発光駆動パターンを夫々示している。

【0064】図29に示される発光駆動パターンでは、各発光維持行程Icで実施すべき発光回数の比が、

[1:5:10:16:22:28:35]であるサブフィールドSF1、SF3、SF5、SF7、SF9、SF11、及びSF13を1フィールドの前半部において順次実行する。そして、1フィールドの後半部におい

て、各発光維持行程 Ic で実施すべき発光回数の比が、[3 : 8 : 13 : 19 : 25 : 32] であるサブフィールド SF2、SF4、SF6、SF8、SF10、及び SF12 を順次実行する。

【0065】図30に示される発光駆動パターンでは、各発光維持行程 Ic で実施すべき発光回数の比が、[3 : 28 : 22 : 16 : 10 : 5 : 1] であるサブフィールド SF13、SF11、SF9、SF7、SF5、SF3、及び SF1 を 1 フィールドの前半部において順次実行する。そして、1 フィールドの後半部において、各発光維持行程 Ic で実施すべき発光回数の比が、[3 : 2 : 25 : 19 : 13 : 8 : 3] であるサブフィールド SF12、SF10、SF8、SF6、SF4、及び SF2 を順次実行する。

【0066】

【発明の効果】以上詳述した如く、本発明においては、平均輝度の低い映像信号が入力された場合、又は垂直同期周波数の高い映像信号が入力された場合には、1 フィールド内において、入力映像信号によって表される輝度レベルに応じた数だけ連続したサブフィールドの各々で画素を担う発光素子を発光せしめる。かかる駆動によれば、1 フィールド内において発光継続期間と消灯継続期間とが互いに反転した発光駆動パターンが存在しないので、偽輪郭の発生が抑制される。一方、平均輝度が高く、かつその垂直同期周波数が低い映像信号が入力された場合には、1 フィールドの前半及び後半の各々において、この映像信号によって表される輝度レベルに応じた数だけ連続したサブフィールド各々で発光素子を発光せしめる。かかる駆動によれば、1 フィールド表示期間内での発光継続状態から消灯継続状態への切り換え回数が 2 回となる。よって、PAL テレビジョン信号の如き垂直同期周波数が低い映像信号が入力され、かつその平均輝度が高い場合においても、偽輪郭と共にフリッカの発生が抑制された良好な画像表示が為されるようになる。

【図面の簡単な説明】

【図1】プラズマディスプレイ装置の概略構成を示す図である。

【図2】サブフィールド法に基づく発光駆動フォーマットの一例を示す図である。

【図3】発光駆動パターンの一例を示す図である。

【図4】本発明による駆動方法に従ってプラズマディスプレイパネルを駆動するプラズマディスプレイ装置の構成を示す図である。

【図5】データ変換回路30の内部構成を示す図である。

【図6】第1データ変換回路32におけるデータ変換特性を示す図である。

【図7】図6に示されるデータ変換特性に基づくデータ変換テーブルの一例を示す図である。

【図8】図6に示されるデータ変換特性に基づくデータ

変換テーブルの一例を示す図である。

【図9】多階調化処理回路33の内部構成を示す図である。

【図10】誤差拡散処理回路330の動作を説明する為の図である。

【図11】ディザ処理回路350の内部構成を示す図である。

【図12】ディザ処理回路350の動作を説明する為の図である。

10 【図13】第2データ変換回路34で用いられるデータ変換テーブルと、発光駆動パターンとを示す図である。

【図14】第2データ変換回路35で用いられるデータ変換テーブルと、発光駆動パターンとを示す図である。

【図15】入力映像信号の垂直同期周波数が所定周波数以上である又は入力映像信号の輝度レベルが比較的低い場合に採用される第1発光駆動時における発光駆動フォーマット(選択消去アドレス法に基づく)の一例を示す図である。

【図16】入力映像信号の垂直同期周波数が所定周波数よりも低く、かつこの入力映像信号の輝度レベルが比較的高い場合に採用される第2発光駆動時における発光駆動フォーマット(選択消去アドレス法に基づく)の一例を示す図である。

20 【図17】PDP10に印加される各種駆動パルスと、その印加タイミングを示す図である。

【図18】第2データ変換回路35で用いられるデータ変換テーブルと、発光駆動パターンの他の一例を示す図である。

30 【図19】第2発光駆動時における発光駆動フォーマット(選択消去アドレス法に基づく)の他の一例を示す図である。

【図20】第2データ変換回路35で用いられるデータ変換テーブルと、発光駆動パターンの他の一例を示す図である。

【図21】第1発光駆動時における発光駆動フォーマット(選択書込アドレス法に基づく)の一例を示す図である。

【図22】第2発光駆動時における発光駆動フォーマット(選択書込アドレス法に基づく)の他の一例を示す図である。

40 【図23】図21に示す発光駆動フォーマットに基づく第1発光駆動を行なう際に第2データ変換回路34で用いられるデータ変換テーブルと、発光駆動パターンとを示す図である。

【図24】図22に示される発光駆動フォーマットに基づく第2発光駆動を行なう際に第2データ変換回路35で用いられるデータ変換テーブルと、発光駆動パターンとを示す図である。

【図25】図16に示される発光駆動フォーマットの変形例を示す図である。

【図26】図25に示される発光駆動フォーマットに基づく駆動を行う際に第2データ変換回路35で用いられるデータ変換テーブルと、発光駆動パターンとを示す図である。

【図27】図22に示される発光駆動フォーマットの変形例を示す図である。

【図28】図27に示される発光駆動フォーマットに基づく駆動を行う際に第2データ変換回路35で用いられるデータ変換テーブルと、発光駆動パターンとを示す図である。

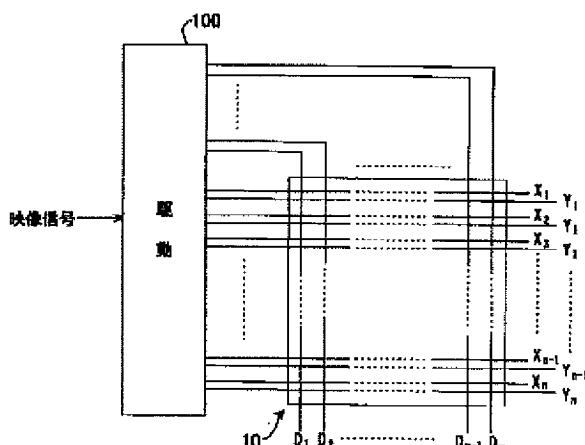
【図29】1フィールドを13個のサブフィールドで分割し、選択消去アドレス法に基づく階調駆動を実施する際に採用する発光駆動パターンの一例を示す図である。*

* 【図30】1フィールドを13個のサブフィールドで分割し、選択書込アドレス法に基づく階調駆動を実施する際に採用する発光駆動パターンの一例を示す図である。

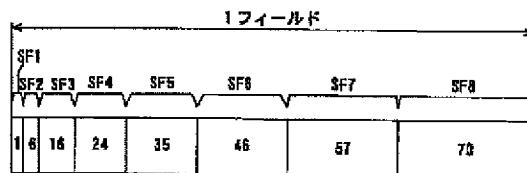
【主要部分の符号の説明】

- 2 駆動制御回路
- 3 垂直同期周波数検出回路
- 6 アドレスドライバ
- 7 第1サスティンドライバ
- 8 第2サスティンドライバ
- 10 PDP (プラズマディスプレイパネル)
- 30 データ変換回路
- 40 平均輝度検出回路

【図1】



【図2】

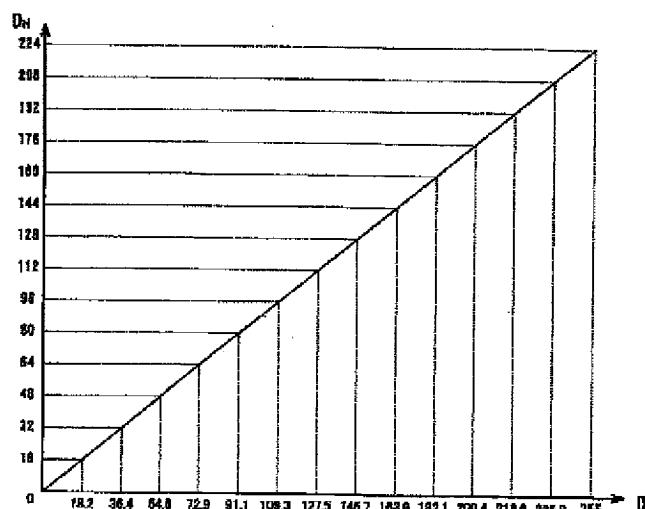


【図3】

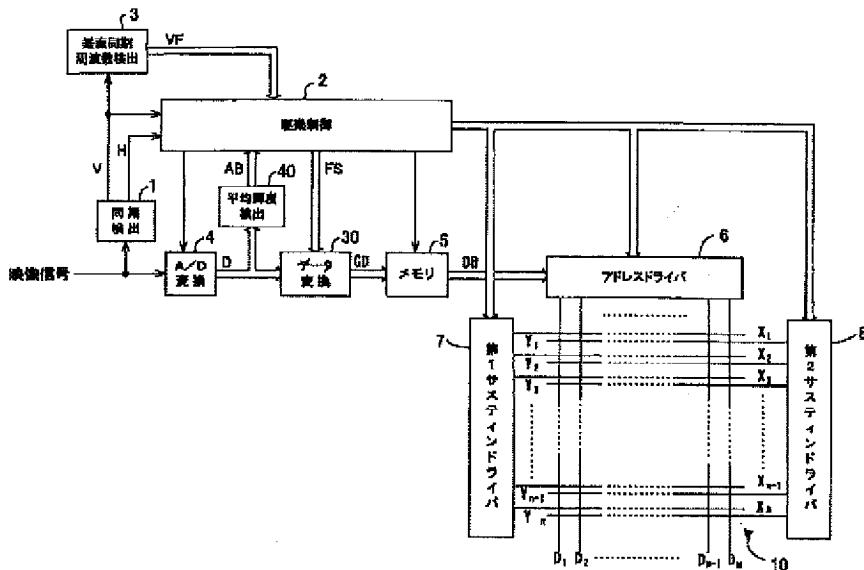
順序	1フィールドでの発光駆動パターン								輝度
	SF1	SF2	SF3	SF4	SF5	SF6	SF7	SF8	
1	○								0
2		○							1
3	○	○							7
4	○	○	○						23
5	○	○	○	○					47
6	○	○	○	○	○				82
7	○	○	○	○	○	○			128
8	○	○	○	○	○	○	○		185
9	○	○	○	○	○	○	○	○	255

○ : 発光

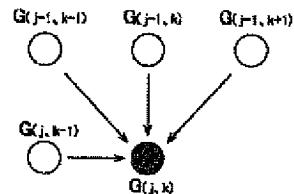
【図6】



[図4]

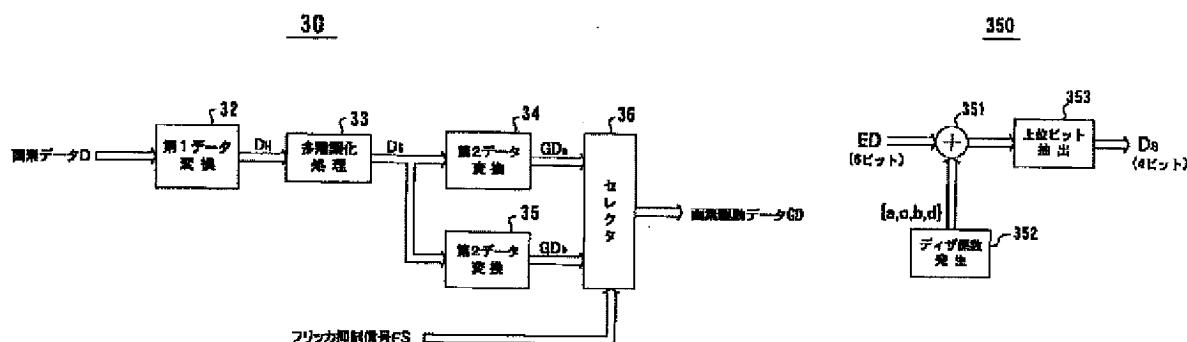


[图10]



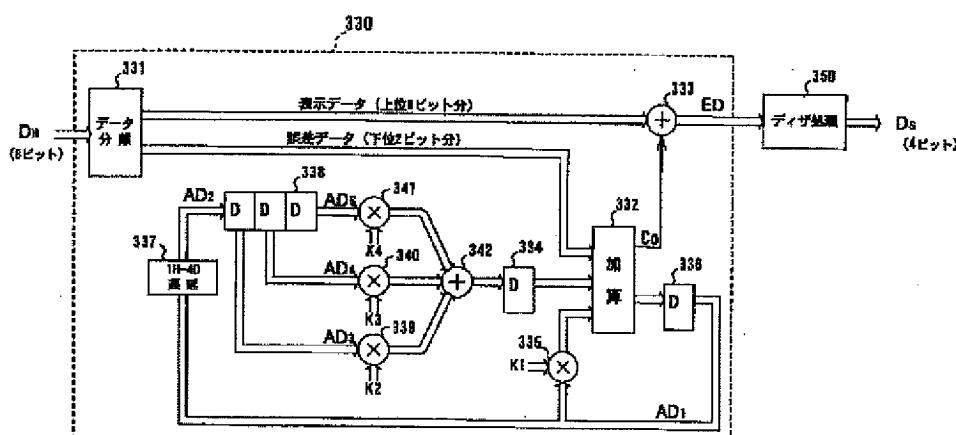
[図5]

[図] 11



[図9]

33



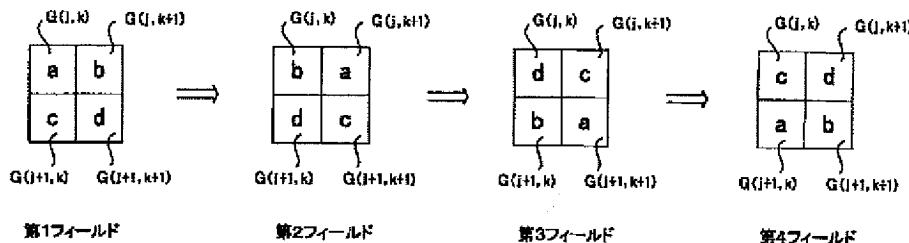
【図7】

D		D _H		D		D _H	
算度	0 ~ 7	算度	0 ~ 7	算度	0 ~ 7	算度	0 ~ 7
0	00000000	0	00000000	64	01000000	56	00111000
1	00000001	0	00000001	65	01000001	57	00111001
2	00000010	1	00000001	66	01000010	57	00111001
3	00000011	2	00000010	67	01000011	58	00111010
4	00000100	3	00000011	68	01000100	59	00111011
5	00000101	4	00000100	69	01000101	60	00111100
6	00000110	5	00000101	70	01000110	61	00111101
7	00000111	6	00000110	71	01000111	62	00111110
8	00001000	7	00000111	72	01001000	63	00111111
9	00001001	7	00000111	73	01001001	64	01000000
10	00001010	8	00001000	74	01001010	65	01000001
11	00001011	9	00001001	75	01001011	65	01000001
12	00001100	10	00001010	76	01001100	66	01000010
13	00001101	11	00001011	77	01001101	67	01000011
14	00001110	12	00001100	78	01001110	68	01000100
15	00001111	13	00001101	79	01001111	69	01000101
16	00010000	14	00001110	80	01010000	70	01000110
17	00010001	14	00001110	81	01010001	71	01000111
18	00010010	15	00001111	82	01010010	72	01001000
19	00010011	16	00010000	83	01010011	72	01001000
20	00010100	17	00010001	84	01010100	73	01001001
21	00010101	18	00010010	85	01010101	74	01001010
22	00010110	19	00010011	86	01010110	75	01001011
23	00010111	20	00010100	87	01010111	76	01001100
24	00011000	21	00010101	88	01011000	77	01001101
25	00011001	21	00010101	89	01011001	77	01001101
26	00011010	22	00010110	90	01011010	78	01001110
27	00011011	23	00010111	91	01011011	79	01001111
28	00011100	24	00011000	92	01011100	80	01010000
29	00011101	25	00011001	93	01011101	81	01010001
30	00011110	26	00011010	94	01011110	82	01010010
31	00011111	27	00011011	95	01011111	83	01010011
32	00100000	28	00011100	96	01100000	84	01010100
33	00100001	28	00011100	97	01100001	85	01010101
34	00100010	29	00011101	98	01100010	86	01010110
35	00100011	30	00011110	99	01100011	86	01010110
36	00100100	31	00011111	100	01100100	87	01010111
37	00100101	32	00100000	101	01100101	88	01011000
38	00100110	33	00100001	102	01100110	89	01011001
39	00100111	34	00100010	103	01100111	90	01011010
40	00101000	35	00100011	104	01101000	91	01011011
41	00101001	36	00100100	105	01101001	92	01011100
42	00101010	36	00100100	106	01101010	93	01011101
43	00101011	37	00100101	107	01101011	93	01011101
44	00101100	38	00100110	108	01101100	94	01011110
45	00101101	39	00100111	109	01101101	95	01011111
46	00101110	40	00101000	110	01101110	96	01100000
47	00101111	41	00101001	111	01101111	97	01100001
48	00110000	42	00101010	112	01110000	98	01100010
49	00110001	43	00101011	113	01110001	99	01100011
50	00110010	43	00101011	114	01110010	100	01100100
51	00110011	44	00101100	115	01110011	101	01100101
52	00110100	45	00101101	116	01110100	101	01100101
53	00110101	46	00101110	117	01110101	102	01100110
54	00110110	47	00101111	118	01110110	103	01100111
55	00110111	48	00110000	119	01110111	104	01101000
56	00111000	49	00110001	120	01110000	105	01101001
57	00111001	50	00110010	121	01110001	106	01101010
58	00111010	50	00110010	122	01110100	107	01101011
59	00111011	51	00110011	123	01110101	108	01101100
60	00111100	52	00110100	124	01111100	108	01101100
61	00111101	53	00110101	125	01111101	109	01101101
62	00111110	54	00110110	126	01111110	110	01101110
63	00111111	55	00110111	127	01111111	111	01101111

[図8]

D	D _H	D	D _H
深度	0 ~ 7	深度	0 ~ 7
128	10000000	112	01110000
129	10000001	113	01110001
130	10000010	114	01110010
131	10000011	115	01110011
132	10000100	116	01110100
133	10000101	117	01110101
134	10000110	118	01110110
135	10000111	119	01110111
136	10001000	120	01111000
137	10001001	121	01111001
138	10001010	122	01111010
139	10001011	123	01111011
140	10001100	124	01111100
141	10001101	125	01111101
142	10001110	126	01111110
143	10001111	127	01111111
144	10010000	128	10000000
145	10010001	129	10000001
146	10010010	130	10000010
147	10010011	131	10000011
148	10010100	132	10000100
149	10010101	133	10000101
150	10010110	134	10000110
151	10010111	135	10000111
152	10011000	136	10001000
153	10011001	137	10001001
154	10011010	138	10001010
155	10011011	139	10001011
156	10011100	140	10001100
157	10011101	141	10001101
158	10011110	142	10001110
159	10011111	143	10001111
160	10100000	144	10010000
161	10100001	145	10010001
162	10100010	146	10010010
163	10100011	147	10010011
164	10100100	148	10010100
165	10100101	149	10010101
166	10100110	150	10010110
167	10100111	151	10010111
168	10101000	152	10011000
169	10101001	153	10011001
170	10101010	154	10011010
171	10101011	155	10011011
172	10101100	156	10011100
173	10101101	157	10011101
174	10101110	158	10011110
175	10101111	159	10011111
176	10110000	160	10100000
177	10110001	161	10100001
178	10110010	162	10100010
179	10110011	163	10100011
180	10110100	164	10100100
181	10110101	165	10100101
182	10110110	166	10100110
183	10110111	167	10100111
184	10111000	168	10100000
185	10111001	169	10100001
186	10111010	170	10100010
187	10111011	171	10100011
188	10111100	172	10100100
189	10111101	173	10100101
190	10111110	174	10100110
191	10111111	175	10100111

【図12】



【図13】

【第1発光駆動】

階層	第2データ交換回路34のデータ交換テーブル														発光 輝度	
	D _a	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
1	0000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0001	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1
3	0010	0	0	1	0	0	0	0	0	0	0	0	0	0	0	4
4	0011	0	0	0	1	0	0	0	0	0	0	0	0	0	0	9
5	0100	0	0	0	0	1	0	0	0	0	0	0	0	0	0	17
6	0101	0	0	0	0	0	1	0	0	0	0	0	0	0	0	27
7	0110	0	0	0	0	0	0	1	0	0	0	0	0	0	0	40
8	0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0	56
9	1000	0	0	0	0	0	0	0	0	1	0	0	0	0	0	76
10	1001	0	0	0	0	0	0	0	0	0	1	0	0	0	0	97
11	1010	0	0	0	0	0	0	0	0	0	0	1	0	0	0	122
12	1011	0	0	0	0	0	0	0	0	0	0	0	1	0	0	150
13	1100	0	0	0	0	0	0	0	0	0	0	0	0	1	0	182
14	1101	0	0	0	0	0	0	0	0	0	0	0	0	1	0	217
15	1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	255

黒丸:選択消去放電
白丸:維持放電発光

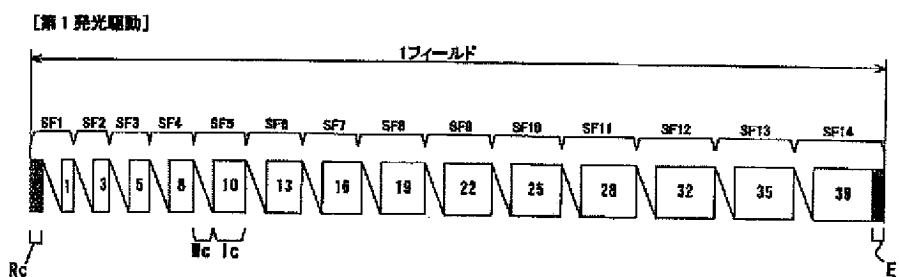
【図14】

【第2発光駆動】

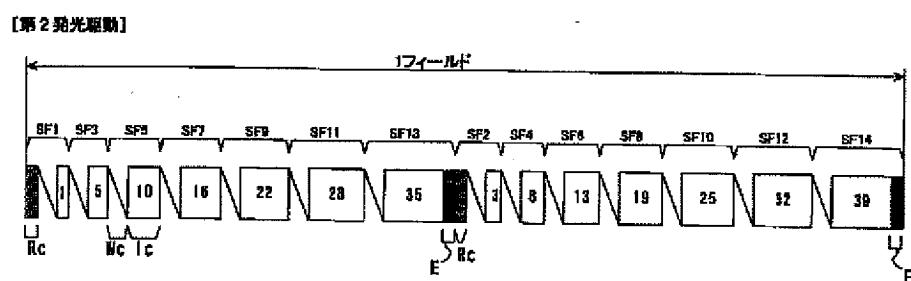
階層	第2データ交換回路35のデータ交換テーブル														発光 輝度	
	D _a	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
1	0000	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0
2	0001	0	1	0	0	0	0	0	1	0	0	0	0	0	0	1
3	0010	0	1	0	0	0	0	0	0	1	0	0	0	0	0	4
4	0011	0	0	1	0	0	0	0	0	1	0	0	0	0	0	9
5	0100	0	0	1	0	0	0	0	0	0	1	0	0	0	0	17
6	0101	0	0	0	1	0	0	0	0	0	1	0	0	0	0	27
7	0110	0	0	0	1	0	0	0	0	0	0	1	0	0	0	40
8	0111	0	0	0	0	1	0	0	0	0	1	0	0	0	0	56
9	1000	0	0	0	0	1	0	0	0	0	0	1	0	0	0	76
10	1001	0	0	0	0	0	1	0	0	0	0	0	1	0	0	97
11	1010	0	0	0	0	0	0	1	0	0	0	0	0	1	0	122
12	1011	0	0	0	0	0	0	0	1	0	0	0	0	1	0	150
13	1100	0	0	0	0	0	0	0	1	0	0	0	0	0	1	182
14	1101	0	0	0	0	0	0	0	0	1	0	0	0	0	1	217
15	1110	0	0	0	0	0	0	0	0	0	1	0	0	0	0	255

黒丸:選択消去放電
白丸:維持放電発光

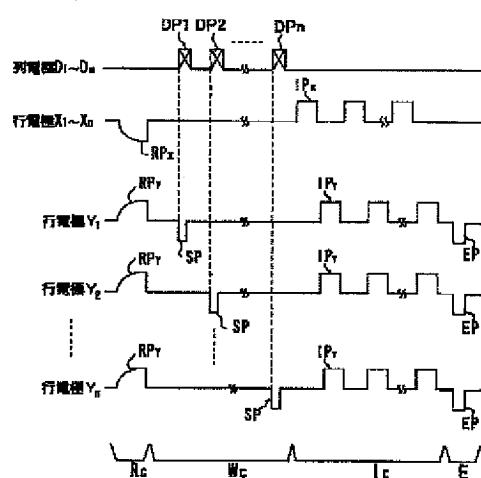
【図15】



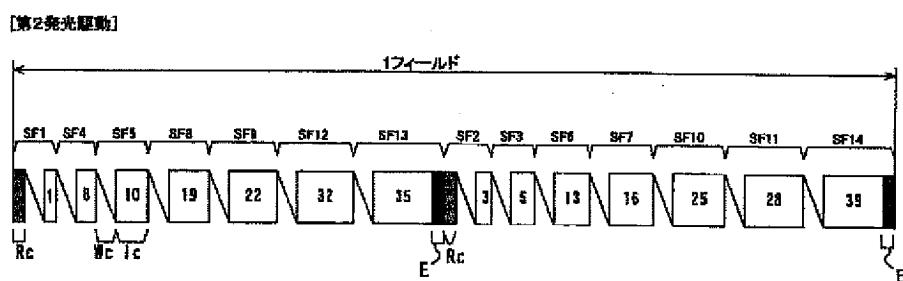
【図16】



【図17】



【図19】



【図18】

[第2発光駆動]

番号	第2データ交換回路35のデータ交換テーブル														1フィールドにおける発光駆動パターン														発光 周波	
	D ₈	GD ₈								SF																				
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	1	3	5	7	9	11	13	2	4	6	8	10	12	14	
1	0000	1	1	0	0	0	0	0	1	1	0	0	0	0	0	●	●													0
2	0001	0	1	1	0	0	0	0	1	1	0	0	0	0	0	○	●	●												1
3	0010	0	1	1	0	0	0	0	0	1	1	0	0	0	0	○	●	●												4
4	0011	0	0	1	1	0	0	0	0	1	1	0	0	0	0	○	○	●	●										8	
5	0100	0	0	1	1	0	0	0	0	0	1	1	0	0	0	○	○	●	●										17	
6	0101	0	0	0	1	1	0	0	0	0	1	1	0	0	0	○	○	○	●	●									27	
7	0110	0	0	0	1	1	0	0	0	0	0	1	1	0	0	○	○	○	●	●									40	
8	0111	0	0	0	0	1	1	0	0	0	0	1	1	0	0	○	○	○	●	●									58	
9	1000	0	0	0	0	1	1	0	0	0	0	0	1	1	0	○	○	○	●	●									75	
10	1001	0	0	0	0	0	1	1	0	0	0	0	1	1	0	○	○	○	○	●	●								97	
11	1010	0	0	0	0	0	0	1	1	0	0	0	0	0	1	1	○	○	○	○	●	●							122	
12	1011	0	0	0	0	0	0	1	0	0	0	0	0	1	1	○	○	○	○	●	●								150	
13	1100	0	0	0	0	0	0	0	1	0	0	0	0	0	1	○	○	○	○	●	●								182	
14	1101	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	●								217	
15	1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○								288	

黒丸:選択消去放電
白丸:維持放電発光

【図20】

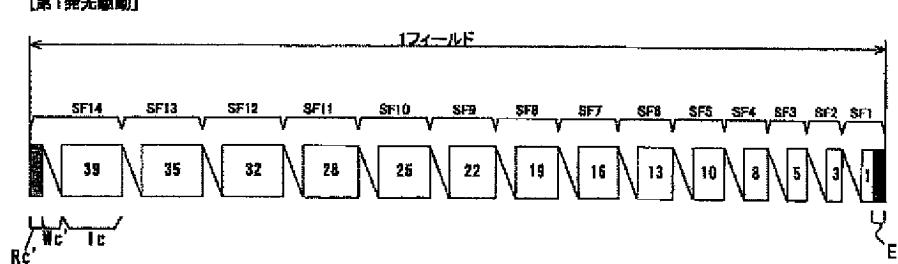
[第2発光駆動]

番号	第2データ交換回路35のデータ交換テーブル														1フィールドにおける発光駆動パターン														発光 周波	
	D ₈	GD ₈								SF																				
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	1	4	5	6	9	12	13	2	3	8	7	10	11	14	
1	0000	1	0	0	0	0	0	0	1	0	0	0	0	0	0	●														0
2	0001	0	1	0	0	0	0	0	1	0	0	0	0	0	0	○	●													1
3	0010	0	1	0	0	0	0	0	0	1	0	0	0	0	0	○	●												4	
4	0011	0	1	0	0	0	0	0	0	0	1	0	0	0	0	○	●												8	
5	0100	0	0	1	0	0	0	0	0	0	1	0	0	0	0	○	○	●										17		
6	0101	0	0	0	1	0	0	0	0	0	1	0	0	0	0	○	○	○	●									27		
7	0110	0	0	0	1	0	0	0	0	0	0	1	0	0	0	○	○	○	●									40		
8	0111	0	0	0	0	1	0	0	0	0	0	0	1	0	0	○	○	○	●									58		
9	1000	0	0	0	0	1	0	0	0	0	0	0	1	0	0	○	○	○	●									75		
10	1001	0	0	0	0	0	1	0	0	0	0	0	1	0	0	○	○	○	○	●								97		
11	1010	0	0	0	0	0	0	1	0	0	0	0	0	0	1	○	○	○	○	●								122		
12	1011	0	0	0	0	0	0	1	0	0	0	0	0	0	1	○	○	○	○	●								150		
13	1100	0	0	0	0	0	0	0	1	0	0	0	0	0	1	○	○	○	○	●								182		
14	1101	0	0	0	0	0	0	0	0	0	0	0	0	0	1	○	○	○	○	○	●							217		
15	1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	○	●						288		

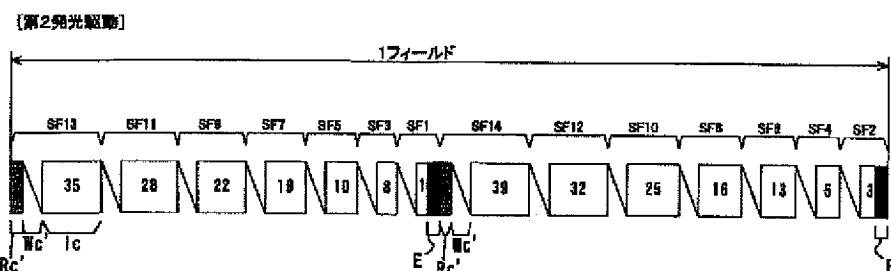
黒丸:選択消去放電
白丸:維持放電発光

【図21】

[第1発光駆動]

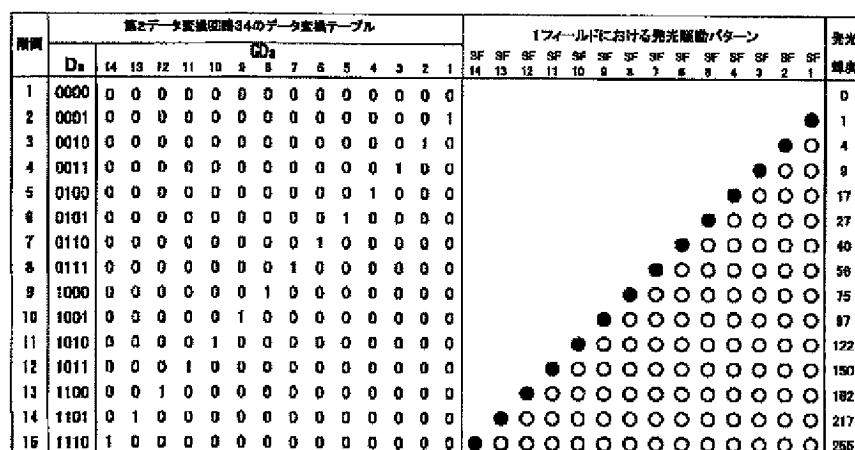


〔四二二〕



[図23]

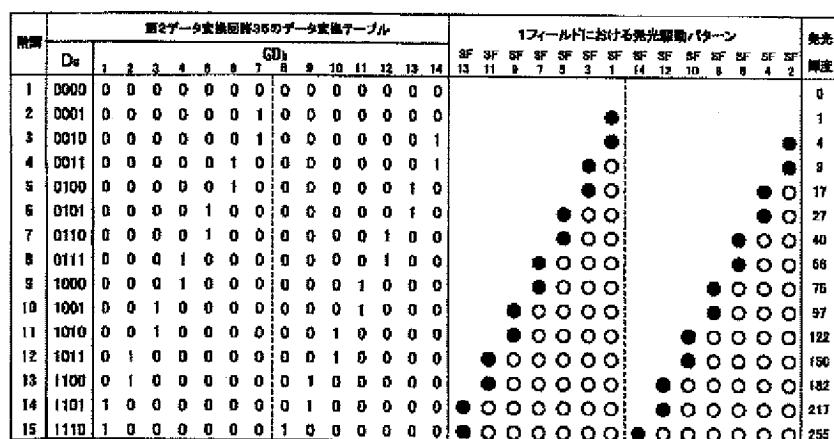
[第1章光驱动]



黑丸：選枳毒凸放電+維持放電亮光
白丸：維持放電亮光

[图2.4]

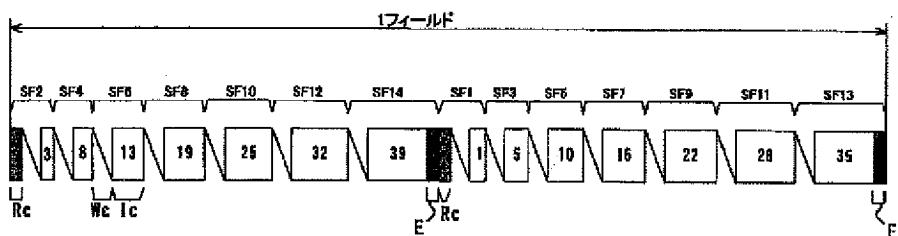
[第2章光驱动]



黒丸：選択導入放電 + 持持放電発光
白丸：持持放電発光

【図25】

【第2発光駆動】



【図26】

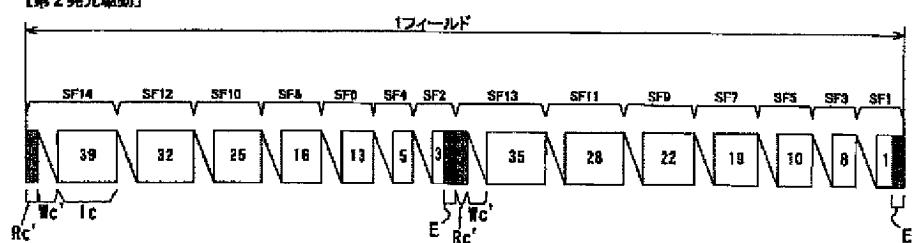
【第2発光駆動】

順番	第2データ実換回数35のデータ変換テーブル														1フィールドにおける発光駆動パターン										発光 周波			
	D ₀	1	2	3	4	5	6	7	8	G0 ₁	9	10	11	12	13	14	SF ₂	SF ₃	SF ₄	SF ₅	SF ₆	SF ₇	SF ₈	SF ₉	SF ₁₀	SF ₁₁	SF ₁₂	SF ₁₃
1	0000	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	●	●	●	●	●	●	●	●	●	●	●	0
2	0001	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	●	●	○	●	●	●	●	●	●	●	●	1
3	0010	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	○	●	○	●	●	●	●	●	●	●	4
4	0011	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	○	●	○	●	●	●	●	●	●	●	9
5	0100	0	0	1	0	0	0	0	0	0	0	0	1	0	0	0	0	○	○	●	○	●	●	●	●	●	●	17
6	0101	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	○	○	●	○	●	●	●	●	●	●	27
7	0110	0	0	0	1	0	0	0	0	0	0	1	0	0	0	0	0	○	○	○	●	○	●	●	●	●	●	40
8	0111	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	○	○	○	●	○	●	●	●	●	●	58
9	1000	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	○	○	○	○	●	○	●	●	●	75	
10	1001	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	0	○	○	○	○	●	○	●	●	●	97	
11	1010	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	○	○	○	○	●	○	●	●	●	122	
12	1011	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0	○	○	○	○	●	○	●	●	●	150	
13	1100	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	○	○	○	○	●	○	●	●	●	182	
14	1101	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	○	○	○	○	●	○	●	●	●	217	
15	1110	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	○	○	○	○	○	●	○	●	●	255	

黒丸:選択消去放電
白丸:保持放電発光

【図27】

【第2発光駆動】



【図28】

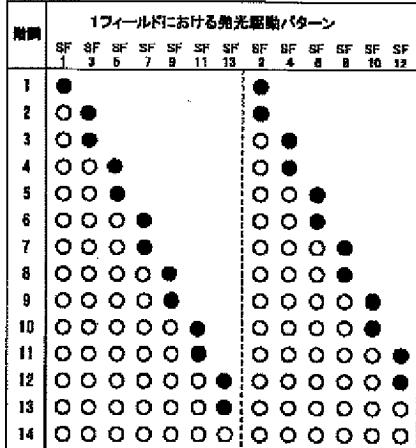
【第2発光駆動】

階級	第2データ変換回路35のデータ変換テーブル														発光 周波	
	D ₄	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
1	0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2	0001	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
3	0010	0	0	0	0	0	0	1	0	0	0	0	0	0	1	4
4	0011	0	0	0	0	0	0	1	0	0	0	0	0	1	0	4
5	0100	0	0	0	0	0	1	0	0	0	0	0	1	0	0	9
6	0101	0	0	0	0	0	1	0	0	0	0	0	1	0	0	17
7	0110	0	0	0	0	1	0	0	0	0	0	0	1	0	0	40
8	0111	0	0	0	0	1	0	0	0	0	0	1	0	0	0	56
9	1000	0	0	0	1	0	0	0	0	0	0	1	0	0	0	75
10	1001	0	0	0	1	0	0	0	0	0	1	0	0	0	0	87
11	1010	0	0	1	0	0	0	0	0	0	0	1	0	0	0	122
12	1011	0	0	1	0	0	0	0	0	1	0	0	0	0	0	150
13	1100	0	1	0	0	0	0	0	0	1	0	0	0	0	0	182
14	1101	0	1	0	0	0	0	0	1	0	0	0	0	0	0	217
15	1110	1	0	0	0	0	0	1	0	0	0	0	0	0	0	255

黒丸：選択書き込み電極+維持放電発光
白丸：維持放電発光

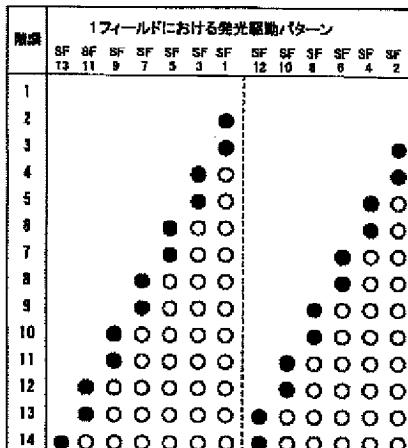
【図29】

【第2発光駆動】



黒丸：選択消去放電
白丸：維持放電発光

【第2発光駆動】



黒丸：選択書き込み電極+維持放電発光
白丸：維持放電発光

フロントページの続き

F ターム(参考) 5C058 AA11 BA02 BA09 BA35 BB04

BB13

5C080 AA05 BB05 DD06 DD30 EE29

FF09 HH05 HH07 JJ02 JJ04

JJ05

